

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242400

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 23/60
H01L 21/8234
H01L 27/088

(21)Application number : 10-041104

(71)Applicant : MOTOROLA INC

(22)Date of filing : 06.02.1998

(72)Inventor : SMITH JEREMY C

(30)Priority

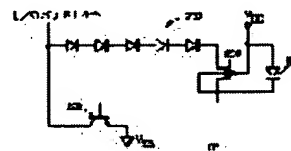
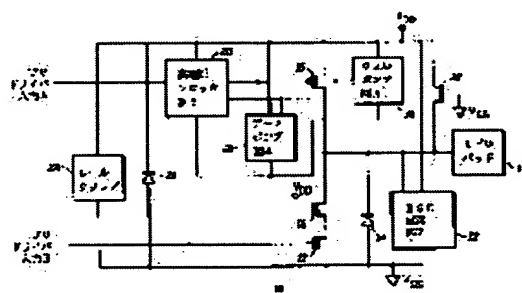
Priority number : 97 801874 Priority date : 18.02.1997 Priority country : US

(54) CIRCUIT FOR PROTECTING STATIC ELECTRICITY DISCHARGE

(57)Abstract:

PROBLEM TO BE SOLVED: To achieve a proper static electricity discharge (ESD) protection for various kinds of integrated circuits with a simple circuit configuration.

SOLUTION: A static electricity discharge (ESD) circuit 12 provides a strong protection for an input/output driver circuit 10. A discharge path is provided by a parasitic bipolar transistor 202. The parasitic bipolar device is triggered by the combination of a MOSFET 204 and a series of diodes 200. The trigger point of the MOSFET can be programmed by changing the number of diodes in a series of diodes above.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242400

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/04
21/822
23/60
21/8234
27/088

H 0 1 L 27/04
23/56
27/08

H
B
1 0 2 F

審査請求 未請求 請求項の数 3 F D (全 9 頁)

(21) 出願番号 特願平10-41104

(22) 出願日 平成10年(1998) 2月6日

(31) 優先権主張番号 08/801, 874

(32) 優先日 1997年2月18日

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド
MOTOROLA INCORPORAT
RED

アメリカ合衆国イリノイ州シャンバーグ、
イースト・アルゴンクイン・ロード1303

(72) 発明者 ジェレミー・シー・スミス

アメリカ合衆国テキサス州78739、オース
チン、オニオン・ホロウ・ラン 11813

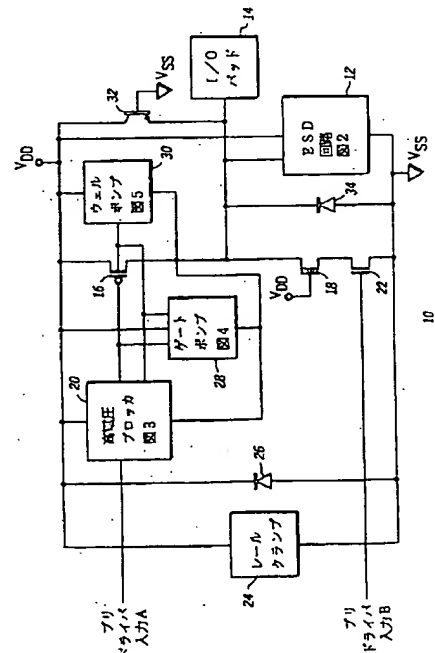
(74) 代理人 弁理士 池内 義明

(54) 【発明の名称】 静電気放電の保護のための回路

(57) 【要約】

【課題】 簡単な回路構成で種々の集積回路に対する確
な静電気放電 (E S D) 保護を可能にする。

【解決手段】 静電気放電 (E S D) 回路 12 は入力/
出力ドライバ回路 10 に対し強固な保護を提供する。寄
生バイポーラトランジスタ 202 によって放電経路が提
供される。寄生バイポーラ装置は MOSFET 204 お
よび一連のダイオード 200 の組合せによってトリガさ
れる。MOSFET のトリガポイントは前記一連のダイ
オードにおけるダイオードの数を変えることによりプロ
グラム可能である。



【特許請求の範囲】

【請求項1】 静電気放電の保護のための回路であって、

入力端子(14)、

第1の端子および第2の端子を備え前記第1の端子は前記入力端子に結合されている少なくとも1つのダイオードを具備する一続きのダイオード(200)、

第1の電流電極、第2の電流電極、および制御電極を備えたトランジスタであって、該トランジスタの第1の電流電極は前記一続きのダイオードの第2の端子に結合され、制御電極は第1の電源電圧を受けるもの、そして寄生バイポーラ装置(202)であって、該寄生バイポーラ装置は同じ導電型であり反対導電型の本体部に配置された第1の拡散領域および第2の拡散領域を具備し、前記第1の拡散領域は前記入力端子に結合され、前記第2の拡散領域は第2の電源電圧を受け、前記本体部は前記トランジスタの第2の電流電極に結合されているもの、を具備することを特徴とする静電気放電の保護のための回路。

【請求項2】 静電気放電の保護のための回路であって、

入力端子(14)、

第1の電流電極、第2の電流電極、および制御電極を具備するトランジスタ(204)であって、該トランジスタの第1の電流電極は前記入力端子に結合され、かつ該トランジスタの制御電極は第1の電源電圧を受けるもの、そして第1の電流電極、第2の電流電極、および制御電極を備えた寄生バイポーラ(202)装置であって、前記第1の電流電極は前記入力端子に結合され、前記第2の電流電極は第2の電源電圧を受けるもの、を具備することを特徴とする静電気放電の保護のための回路。

【請求項3】 出力ドライバ回路であって、

出力端子(14)、

第1の電流電極、第2の電流電極、および制御電極を備えた第1の出力トランジスタ(16)であって、該トランジスタの第1の電流電極は第1の電源電圧を受け、該トランジスタの第2の電流電極は前記出力端子に結合されているもの、

第1の電流電極、第2の電流電極、および制御電極を備えた第2の出力トランジスタ(22)であって、該トランジスタの第1の電流電極は第2の電源電圧を受け、かつ該トランジスタの制御電極は第1の入力信号を受けるもの、

第1の電流電極、第2の電流電極、および制御電極を備えた電圧低減トランジスタ(18)であって、該トランジスタの第1の電流電極は前記第2の出力トランジスタの第2の電流電極に結合され、第2の電流電極は出力端子に結合され、そして該トランジスタの制御電極は前記第1の電源電圧を受けるもの、

前記第1の出力トランジスタの本体部に結合されたウエルポンプ(30)であって、該ウエルポンプは前記出力端子における電位にตอบสนองして前記第1の出力トランジスタの本体部の電位を調整するもの、

前記第1の出力トランジスタの制御電極に結合されたゲートポンプ(28)であって、該ゲートポンプは前記出力端子における電位にตอบสนองして前記第1の出力トランジスタの制御電極の電位を調整するもの、

第1の端子および第2の端子を備えた高電圧ブロッカ(20)であって、該第1の端子は前記第1の出力トランジスタの制御電極に結合され、かつその第2の端子は第2の入力信号を受け、前記高電圧ブロッカはその第1の端子からその第2の端子に伝送される電位を所定の値に制限するもの、

第1の端子および第2の端子を備えた導体クランプ(24)であって、該第1の端子は前記第1の電源電圧を受けかつ第2の端子は前記第2の電源電圧を受け、前記導体クランプは静電気放電(ESD)事象の間に前記第1の電源と前記第2の電源との間の放電経路を可能にするもの、

第1の端子および第2の端子を備えた第1のダイオード(26)であって、該第1の端子は前記第1の電源電圧を受けかつ該第2の端子は前記第2の電源電圧を受けるもの、

第1の端子および第2の端子を備えた第2のダイオード(34)であって、該第1の端子は前記出力端子に結合され、かつ該第2の端子は前記第2の電源電圧を受けるもの、そしてESD回路であって、

第1の端子および第2の端子を具備し該第1の端子は前記出力端子に結合されている少なくとも1つのダイオードを備えた一続きのダイオード(200)、

第1の電流電極、第2の電流電極、および制御電極を備え、該第1の電流電極は前記一続きのダイオードの第2の端子に結合され、かつ該制御電極は前記第1の電源電圧を受けるESDトランジスタ、

同じ導電型であり反対導電型の本体部に配置された第1の拡散領域および第2の拡散領域を備えた寄生バイポーラ装置(202)であって、前記第1の拡散領域は前記出力端子に結合され、前記第2の拡散領域は前記第2の電源電圧を受け、かつ前記本体部は前記ESDトランジスタの第2の電流電極に結合されているもの、を具備する前記ESD回路、

を具備することを特徴とする出力ドライバ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一般的には電子集積回路に関し、かつより特定的には集積回路のための静電気放電保護回路に関する。

【0002】

【従来の技術】半導体産業において、静電気放電保護

(ESD)回路を使用することが知られている。ESD回路は集積された半導体装置が日常的な製造後の取扱いの間に静電気によって破壊されないことを保証する。しかしながら、半導体産業における今日のおよび予知できる方向は知られたESD回路の有効性に悪影響を与えつつある。

【0003】

【発明が解決しようとする課題】例えば、高ドーパエピタキシャル(epi)基板は金属酸化物半導体(MOS)電界効果トランジスタ(FET)および厚膜フィールド酸化物(TFO)装置が電流シャント装置として作用するのを妨げる。通常の使用では、高ドーパ基板が望まれる。そのような基板は「ラッチアップ(latch-up)」の望ましくない発生を低減する。ラッチアップの間に、相補MOSFETによって形成される2つの寄生バイポーラトランジスタがフィードバックループを生成する。フィードバックループにおいては、第1の寄生バイポーラ装置のベースはまた第2の装置のコレクタである。逆に、第2の装置のベースは第1の装置のコレクタである。これらのトランジスタの双方が導通しているとき、多量の電流が2つの電源の間に流れる可能性がある。2つのトランジスタの端子の内の1つに加えられる高い電流事象は2つの寄生トランジスタを導通させるようにすることができる。高ドーパエピタキシャル基板は前記基板をかつ、従って、一方の装置のベースおよび他方の装置のコレクタを接地することにより前記フィードバックループを遮断するよう作用する。

【0004】シート低効率(ρ)を低減するためにサリサイド(salicide)接合層を使用することはまた知られたESD回路の有効性を低減する。この場合、いくつかのMOSFET、または単一のMOSFETを形成するいくつかのフィンガはESD保護を提供するための寄生バイポーラ装置として作用する。そのようなESD装置は寄生バイポーラトランジスタの「スナップバック(snap-back)」電流-電圧特性に依存する。その場合、あるコレクターエミッタ電圧、 V_{t1} 、でバイポーラトランジスタを通して電流が流れ始める。その後、前記コレクターエミッタ電圧は電流が増大するに応じて低減し、 V_{t1} から「スナップバックする(snapping-back)」ことになる。後に、この傾向が反転し、電流が上昇するに応じてコレクターエミッタ電圧が上昇するようにさせる。結局、バイポーラトランジスタは他の特定のコレクターエミッタ電圧、 V_{t2} 、で働かなくなる。前記サリサイド層の低い抵抗は最終的なブレイクダウン電圧、 V_{t2} 、が前記初期電圧、 V_{t1} 、よりも低くなるようにさせる。そのような関係は第1のMOSFETまたはMOSFETの第1のフィンガが第2のMOSFETがターンオンする電圧よりも低い電圧でブレイクダウンするようにさせる。その結果、MOSFET群によって提供される保護は単一の

MOSFETによって提供される保護より大きくないことになる。

【0005】いくつかの知られたESD回路は集積回路の電圧導体(voltage rails)の間の固有の容量に依存して一方の電圧導体に加えられた過剰なエネルギーを他方にシャントする。この戦略は保護を提供するのに必要な装置の合計数を最小にする。しかしながら、この戦略はまた集積回路の容量が低下するに応じて失敗する。その結果、特定の集積回路のために設計された1つのESD回路は他の回路のためには十分でない可能性がある。さらに、ダイの縮小は半導体産業における支配的な傾向の1つである。特定の集積回路のために設計されたESD回路は同じ回路に対していったん該回路の形状が低減されあるいは「縮小される」と十分なものでなくなる可能性がある。

【0006】1つの知られたESD回路は電力をシャントするためにダイオードストリングまたはダイオードのつながり(diode strings)に依存する。残念なことに、ダイオードは電流をリークする。さらに、各ダイオードのリークはその温度と共に増大する。半導体産業における他の傾向はできるだけ少ない電流を消費するかつ広い用途に適した集積回路を設計しかつ製造することである。これらの目標の双方は環境的な事項により制限されるリークのある設計により悪影響を受ける。

【0007】

【課題を解決するための手段】本発明の一態様では、静電気放電の保護のための回路が提供され、該回路は、入力端子(14)、第1の端子および第2の端子を備え前記第1の端子は前記入力端子に結合されている少なくとも1つのダイオードを具備する一続きのダイオード(200)、第1の電流電極、第2の電流電極、および制御電極を備えたトランジスタであって、該トランジスタの第1の電流電極は前記一続きのダイオードの第2の端子に結合され、制御電極は第1の電源電圧を受けるもの、そして寄生バイポーラ装置(202)であって、該寄生バイポーラ装置は同じ導電型であり反対導電型の本体部に配置された第1の拡散領域および第2の拡散領域を具備し、前記第1の拡散領域は前記入力端子に結合され、前記第2の拡散領域は第2の電源電圧を受け、前記本体部は前記トランジスタの第2の電流電極に結合されているもの、を具備することを特徴とする。

【0008】本発明の別の態様では、静電気放電の保護のための回路が提供され、該回路は、入力端子(14)、第1の電流電極、第2の電流電極、および制御電極を具備するトランジスタ(204)であって、該トランジスタの第1の電流電極は前記入力端子に結合され、かつ該トランジスタの制御電極は第1の電源電圧を受けるもの、そして第1の電流電極、第2の電流電極、および制御電極を備えた寄生バイポーラ(202)装置であ

って、前記第1の電流電極は前記入力端子に結合され、前記第2の電流電極は第2の電源電圧を受けるもの、を具備することを特徴とする。

【0009】本発明のさらに別の態様では、出力ドライバ回路が提供され、該回路は、出力端子(14)、第1の電流電極、第2の電流電極、および制御電極を備えた第1の出力トランジスタ(16)であって、該トランジスタの第1の電流電極は第1の電源電圧を受け、該トランジスタの第2の電流電極は前記出力端子に結合されているもの、第1の電流電極、第2の電流電極、および制御電極を備えた第2の出力トランジスタ(22)であって、該トランジスタの第1の電流電極は第2の電源電圧を受け、かつ該トランジスタの制御電極は第1の入力信号を受けるもの、第1の電流電極、第2の電流電極、および制御電極を備えた電圧低減トランジスタ(18)であって、該トランジスタの第1の電流電極は前記第2の出力トランジスタの第2の電流電極に結合され、第2の電流電極は出力端子に結合され、そして該トランジスタの制御電極は前記第1の電源電圧を受けるもの、前記第1の出力トランジスタの本体部に結合されたウエルポンプ(30)であって、該ウエルポンプは前記出力端子における電位にตอบสนองして前記第1の出力トランジスタの本体部の電位を調整するもの、前記第1の出力トランジスタの制御電極に結合されたゲートポンプ(28)であって、該ゲートポンプは前記出力端子における電位にตอบสนองして前記第1の出力トランジスタの制御電極の電位を調整するもの、第1の端子および第2の端子を備えた高電圧ブロッカ(20)であって、該第1の端子は前記第1の出力トランジスタの制御電極に結合され、かつその第2の端子は第2の入力信号を受け、前記高電圧ブロッカはその第1の端子からその第2の端子に伝送される電位を所定の値に制限するもの、第1の端子および第2の端子を備えた導体クランプ(24)であって、該第1の端子は前記第1の電源電圧を受けかつ第2の端子は前記第2の電源電圧を受け、前記導体クランプは静電気放電(ESD)事象の間に前記第1の電源と前記第2の電源との間の放電経路を可能にするもの、第1の端子および第2の端子を備えた第1のダイオード(26)であって、該第1の端子は前記第1の電源電圧を受けかつ該第2の端子は前記第2の電源電圧を受けるもの、第1の端子および第2の端子を備えた第2のダイオード(34)であって、該第1の端子は前記出力端子に結合され、かつ該第2の端子は前記第2の電源電圧を受けるもの、そしてESD回路であって、第1の端子および第2の端子を具備し該第1の端子は前記出力端子に結合されている少なくとも1つのダイオードを備えた一続きのダイオード(200)、第1の電流電極、第2の電流電極、および制御電極を備え、該第1の電流電極は前記一続きのダイオードの第2の端子に結合され、かつ該制御電極は前記第1の電源電圧を受けるESDトランジスタ、同じ導

電型であり反対導電型の本体部に配置された第1の拡散領域および第2の拡散領域を備えた寄生バイポーラ装置(202)であって、前記第1の拡散領域は前記出力端子に結合され、前記第2の拡散領域は前記第2の電源電圧を受け、かつ前記本体部は前記ESDトランジスタの第2の電流電極に結合されているもの、を具備する前記ESD回路、を具備することを特徴とする。

【0010】

【発明の実施の形態】図1は、本発明に従って構成された入力/出力(I/O)ドライバ回路10の部分的ブロック図、部分的回路図を示す。I/Oドライバ回路10は静電気放電事象に対してかつ電氣的オーバストレス(electrical overstress:EOS)事象に対して保護を提供するためESD回路12を含む。ESD回路12は図2に関して後により詳細に説明する。

【0011】ここで、ESD回路12は過剰なエネルギーをシャントする寄生バイポーラトランジスタをトリガするためにMOSFETトランジスタを使用することに注目することが適切であろう。トリガ電流を使用することは寄生バイポーラトランジスタがエネルギーをシャントし始めるポイントを低下させる。寄生バイポーラトランジスタを使用することは真の(true)バイポーラ装置の必要性を除去する。真のバイポーラトランジスタはその制御電極が半導体基板から分離されているものでありかつ、従って、直接制御可能なものである。典型的には、バイポーラ装置を含めることは集積回路の製造コストを大きく増大する。寄生バイポーラトランジスタの制御電極にトリガ電流を直接加えることは高ドーパ基板によって引き起こされる電圧電位を局部的に克服する。通常、基板は2つの電源の内のより低いものに結合される。前記トリガポイントはダイオードストリングにおけるダイオードの数を増大または低減することにより容易にプログラム可能である。しかしながら、過剰なエネルギーの大部分をシャントするのは寄生バイポーラ装置であって、ダイオードストリングではない。その結果、個々のダイオードは電流リーケージおよび温度によって引き起こされる性能の変動を最小にするため非常に小さく作ることができる。また、ESD回路12は2つの電圧導体の間の容量に依存しない。従って、ESD回路12は小さな集積回路内に、大きな集積回路内に、および設計組織にわたり使用される標準セルライブラリに導入することができる。当業者は今日のおよび将来の集積回路の処理フローに対するESD回路12の適切さを容易に理解するであろう。

【0012】図1により説明を続けると、入力/出力(I/O)パッド14はI/Oドライバ回路10を導入する集積回路の外部の他の装置に伝送される電圧レベルを発生する。本実施形態では、I/Oドライバ回路10はI/Oパッド14上に0または3.3ボルトを出力す

る。他の実施形態では、I/Oドライバ回路10はI/Oドライバ回路10を導入する集積回路の外部の他の装置から電圧レベルを受けるための回路を含むことができる。そのような実施形態において、前記電圧はまた0または3.3ボルトとすることができる。さらに別の実施形態では、最大受信電圧レベルは前記最大出力電圧レベルを超えることができる。例えば、I/Oドライバ回路10は0または3.3ボルトの信号を出力できるが、0または5ボルトの信号を受信することができる。

【0013】I/Oパッド14はp型MOSFETトランジスタ16の第1の電流電極にかつn型MOSFETトランジスタ18の第1の電流電極に接続されている。トランジスタ16の第2の電流電極および制御電極は、それぞれ、第1の電源、VDD、におよび高電圧ブロック20の出力端子に接続されている。高電圧ブロック20は4つの入力、プリドライバ入力A(PREDRIVER IN A)、VDD、I/Oパッド14、およびトランジスタ16のウエルを受ける。高電圧ブロック20は図3に関連して後に説明する。

【0014】トランジスタ18の第2の電流電極および制御電極は、それぞれ、n型MOSFETトランジスタ22の第1の電流電極にかつ第1の電源、VDD、に結合されている。トランジスタ22の第2の電流電極および制御電極は、それぞれ、第2の電源、Vss、におよび入力のプリドライバ入力B(PREDRIVER IN B)に結合されている。

【0015】I/Oドライバ回路10はまたVDDおよびVssの間に並列に接続された導体クランプまたはレールクランプ(rail clamp)24およびダイオード26を含む。導体クランプ24は、もし十分なものであれば、I/Oドライバ回路10を導入した集積回路の固有の容量とすることができ、あるいはESD事象の間にVDDとVssの間に放電経路を提供する能動回路とすることができる。ダイオード26はVssがほぼ0.5ボルトVDDより高い場合にそれが電流を導通するように結合される。通常、VDDはVssより3.3ボルト高い。ゲートポンプ28の4つの端子はVDDに、トランジスタ16の制御電極に、I/Oパッド14に、そしてトランジスタ16のウエルにそれぞれ結合されている。ゲートポンプ28は図4に関連して後に説明する。ウエルポンプ30の3つの端子は、それぞれ、VDDに、トランジスタ16のウエルに、そしてI/Oパッド14に接続されている。ウエルポンプ30は図5を参照して後に説明する。npnバイポーラトランジスタ32の第1の電流電極、第2の電流電極、および制御電極は、それぞれ、VDDに、I/Oパッド14に、そしてVssに結合されている。ダイオード34の第1の端子および第2の端子は、それぞれ、I/Oパッド14におよびVssに結合されている。ダイオード34はVssがI/Oパッド14上に存在する電圧よりもほぼ0.5

ボルト高い場合にそれが電流を導通するように結合される。通常、I/Oパッド14上に存在する電圧レベルはVssより高いかまたは等しい。

【0016】I/Oドライバ回路10の動作は便宜的に2つの動作モードに関して説明することができ、すなわち、(1)通常I/Oモード、および(2)静電気放電保護、である。静電気放電保護機能はさらに人体モデル(human body model)を試験するために使用される4つの方法と同様の4つの場合に分けることができ、すなわち、(1)VDDに関して正の入力電圧、(2)Vssに関して正の入力電圧、(3)VDDに関して負の入力電圧、および(4)Vssに関して負の入力電圧である。

【0017】<通常動作>通常動作においては、I/Oドライバ回路10は出力のみまたは入力のみドライバとして使用される。特定の機能は制御信号「プリドライバ入力A」および「プリドライバ入力B」の論理状態によって選択される。もしI/Oドライバ回路10が出力のみのバッファとして使用されるべきであれば、出力されるべき(どこかほかの回路で発生された)信号はトランジスタ16の制御電極におよびトランジスタ22の制御電極の双方に供給される。出力されるべき信号は高電圧ブロック20を介してトランジスタ16の制御電極に供給される。従って、「プリドライバ入力A」および「プリドライバ入力B」は共に所望の出力信号の電位にある。どのトランジスタがイネーブルされるかに応じて、電源VDDまたは電源VssがI/Oパッド14に結合される。もしI/Oドライバ回路10が入力のみバッファとして使用されれば、「プリドライバ入力A」はVDDにセットされ、かつ「プリドライバ入力B」はVssにセットされる。これらの電圧レベルはI/Oパッド14をハイインピーダンス状態にする。この場合、I/Oドライバ回路10の外部で発生される電圧がI/Oパッド14に供給されかつ回路(図示せず)によってバッファリングされる。

【0018】上に述べたように、I/Oドライバ回路10は5ボルトに耐えられる。もし5ボルトの信号がI/Oパッド14に加えられるれば、何らの損傷も生じないであろう。トランジスタ16の制御電極およびウエルは共に、それぞれ、ゲートポンプ28によりおよびウエルポンプ30によってより高い入力電圧でバイアスされる。このバイアスは電源VDDよりも大きな電圧がI/Oパッド14に印加された場合にトランジスタ16が電流を導通しないことを保証する。さらに、高電圧ブロック20はトランジスタ16の制御電極に印加されるバイアス電圧が内部回路(図示せず)に印加されないことを保証する。

【0019】<ESD事象>

<VDDに関して正の電圧入力>この場合、大きな正の電圧レベルが電源VDDに関してI/Oパッド14に印

加される。大きな正の入力電圧はESD回路12が、この筋書きにおいてはフローティングである、I/Oパッド14からVssへとエネルギーをシャントするようにさせる。電源Vss上の電圧は上昇し始め、ダイオード26を順方向バイアスする。ESD回路12、電源Vss、およびダイオード26はそれによってI/Oパッド14から電源VDDへの放電経路を形成する。

【0020】<Vssに関して正の電圧入力>この場合、大きな正の電圧レベルが電源Vssに関してI/Oパッド14に印加される。前述のように、大きな正の入力電圧はESD回路12がI/Oパッド14からVssへのエネルギーをシャントするようにさせる。ESD回路12はそれによってI/Oパッド14から電源Vssへの放電経路を形成する。

【0021】<VDDに関して負の入力電圧>この場合、大きな負の電圧レベルが電圧レベルVDDに関してI/Oパッド14に印加される。この大きな負の電圧はダイオード34を順方向バイアスしかつ導体クランプ24が電源Vssを電源VDDに結合できるようにする。ダイオード34および導体クランプ24は電源VDDからI/Oパッド14への放電経路を形成する。前述のように、導体クランプ24はI/Oドライバ回路14を導入した集積回路の固有の容量とすることができ、あるいは能動クランプ回路とすることができる。また、トランジスタ32を介して電源VDDからI/Oパッド14へ第2のシャント経路がある。この第2の場合には、前記固有の容量（または導体クランプ24）はVDDをVssに結合しかつ最終的にトランジスタ32の制御電極に結合する。トランジスタ32は次に順方向バイアスされ電源VDDからトランジスタ32を通りI/Oパッド14へと電流を流す。

【0022】<Vssに関して負の電圧入力>この場合、大きな負の電圧が電源Vssに関してI/Oパッド14に印加される。この場合、ダイオード34が順方向バイアスされ、電源VssからI/Oパッド14へとエネルギーをシャントする。また、電源VssからI/Oパッド14へとトランジスタ32を介しての第2のシャント経路がある。この第2の場合において、トランジスタ32の制御電極-第2の電流電極の接合が順方向バイアスされ、電源VssからI/Oパッド14へと直流経路を生成する。図1において述べたように、電源Vssはトランジスタ32の制御電極に結合されている。

【0023】図2は、図1に示されるESD回路12の回路図を示す。一続きの直列接続されたダイオード200の第1の端子および寄生npnバイポーラトランジスタ202の第1の電流電極の各々はI/Oパッド14に接続されている。一続きのダイオード200の第2の端子はp型MOSFETトランジスタ204の第1の電流電極に接続されている。示された実施形態では、ダイオードのつながり200は5個のダイオードを含む。トラ

ンジスタ202の第2の電流電極および制御電極は、それぞれ、電源Vssおよびトランジスタ204の第2の電流電極に接続されている。トランジスタ204の制御電極はダイオード206の第1の端子および電源VDDに結合されている。ダイオード206の第2の端子はトランジスタ204のウエルに結合されている。

【0024】ダイオードのつながり200における個々のダイオードはそれらがI/Oパッド14に存在する電圧レベルが、ほぼ、(5*0.5)ボルトとドレインを加えたものを超えたときに電流を流すように接続されている。TFO装置は、お互いに近接した、同じ導電型の2つの拡散領域から構成されかつ反対導電型の半導体本体(body)に配置されている。典型的には、2つのn型領域がp型基板内に配置されている。同じまたは反対の導電型の拡散または注入領域の間の領域において基板の頭部に厚い酸化物層が形成される。

【0025】シリコンオンインシュレータ(SOI)は新生の技術であり、該技術においては、半導体は2酸化シリコン、サファイア、ダイヤモンド、その他のような絶縁基板上に製造される。本発明はそのような技術にも同じ利点を備えて実施できる。そのような技術においては、トリガ電流供給のコンタクトはトランジスタ202の本体に対し横方向に形成することができる。

【0026】ESD回路12の動作は2つの可能な事象、すなわち、(1)静電気放電(ESD)事象、および(2)電氣的オーバストレス(EOS)事象、に関して便宜的に説明することができる。一般に、ESD事象はEOS事象より短くかつ典型的には集積回路が給電されていない場合に生じる。

【0027】<ESD事象>図1に関して説明したように、ESD回路12は2つの場合にESD保護を提供する。すなわち、(1)VDDに関して正の入力電圧、および(2)Vssに関して正の入力電圧の場合である。第1の場合には、トランジスタ204はI/Oパッド14の電圧が、ほぼ、(5*0.5)ボルトとトランジスタ204のしきい値電圧レベルを加えたものを超える場合にトランジスタ202に対してトリガ電流を供給し始める。その短時間後に、トランジスタ202はI/Oパッド14から電源Vssへと電流をシャントする。ダイオード26(図1)は電源VDDへの回路経路を完成させる。第2の場合には、トランジスタ204はまたI/Oパッド14の電圧が、ほぼ、(5*0.5)ボルトとトランジスタ204のしきい値電圧レベルとを加えたものを超えた場合にトランジスタ202へとトリガ電流を供給し始める。その短時間後に、トランジスタ202はI/Oパッド14から電源Vssへの電流を直接シャントする。

【0028】<EOS事象>EOS事象の間のESD回路12の動作はESD事象におけるその動作と同様である。この場合、トランジスタ204はI/Oパッド14

の電圧が、ほぼ、 (5×0.5) ボルトとトランジスタ204のしきい値電圧レベルとトランジスタ204の制御電極の電圧(VDD)とを加えたものを越えた場合にトランジスタ202へとトリガ電流を供給し始める。

【0029】ダイオードのつながり200における個々のダイオードの数はVDDの最小の許容される電源レベルとI/Oパッド14上の最大の可能な特定された入力電圧との間の差を各ダイオードにおける電圧降下で除算したものによって決定される。典型的には、これらの値は、それぞれ、VDDおよび入力電圧の公称値よりも10%低くかつ10%高い。説明された実施形態では、VDDは3.3ボルトでありかつ最大の許容される入力電圧は5.0ボルトである。従って、5個のダイオード $(5.5 - 3.0) / (0.5)$ が選択された。

【0030】ESD回路12の第2の実施形態では、ダイオード206は省略される。この場合、トランジスタ204は寄生縦型および寄生横型pnp型バイポーラトランジスタの特性を有する。これらの特性はもしトランジスタ204がトランジスタ202に対し物理的に接近しておればトランジスタ202の局所的な基板電位を上昇させるベース電流を発生する。この付加的なベース電流はさらにトランジスタ202をトリガする。さらに、別の実施形態では、ダイオード206は抵抗または直接的な電氣的接続によって置き換えることができる。

【0031】好ましい実施形態では、トランジスタ202はp型基板内に2つのn型ウエルを配置することによって製造される。これら2つのn型ウエルは第1および第2の電流電極を形成する。p型コンタクトが2つのn型ウエルの間に配置される。p型基板に対するこのp型コンタクトは制御電極を形成する。この基本的な設計は集積回路上のスペースを不必要に消費することなくトランジスタ202の合計幅を増大するためタイル張り配置することができる(tiled)。また、p型基板を電源Vssに周期的にまたは規則的に接続することは通常行われている。これらの接続はトランジスタ202に隣接して配置されるべきではない。さもなければ、トリガ電流によって提供される基板リフト効果(substrate lifting effect)が弱められることになる。

【0032】図3は、図1に示される高電圧ブロッカ20の回路図を示す。高電圧ブロッカ20はp型MOSFETトランジスタ302およびn型MOSFETトランジスタ304からなる伝送ゲート300それ自体で構成される。トランジスタ302の制御電極はI/Oパッド14に接続されている。トランジスタ304の制御電極は電源VDDに接続されている。トランジスタ302および304の第1の電流電極は信号「プリドライバ入力A」を受ける。トランジスタ302および304の第2の電流電極はトランジスタ16の制御電極に結合されている。トランジスタ302の本体部もまたトランジスタ

16のウエルに接続されている。

【0033】動作においては、伝送ゲート300におけるn型装置はI/Oパッド14から内部回路(図示せず)へと受け渡される電圧を $(3.3 - V_{tn})$ ボルトに制限し、この場合 V_{tn} はトランジスタ304のしきい値電圧である。トランジスタ302はVDDに等しい制御信号を(減衰なしに)トランジスタ16の制御電極に受け渡す。

【0034】図4は、図1に示されるゲートポンプ28の回路図を示す。ゲートポンプ28はp型MOSFETトランジスタ400を備えている。トランジスタ400の第1の電流電極、第2の電流電極、および制御電極は、それぞれ、トランジスタ16の制御電極、I/Oパッド14、および電源VDDに結合されている。トランジスタ400の本体部もまたトランジスタ16のウエルに接続されている。

【0035】図5は、図1に示されたウエルポンプ30の回路図を示す。ウエルポンプ30は2つのp型MOSFET500および502を備えている。トランジスタ500の第1の電流電極、第2の電流電極、および制御電極は、それぞれ、電源VDDに、トランジスタ16のウエルに、およびI/Oパッド14に結合されている。トランジスタ502の第1の電流電極、第2の電流電極、および制御電極は、それぞれ、トランジスタ16のウエルに、I/Oパッド14に、および電源VDDに結合されている。トランジスタ500および502の本体部もまたトランジスタ16のウエルに接続されている。

【0036】動作においては、トランジスタ500および502はI/Oパッド14上に存在する電圧レベルが電源VDDを超えたときにトランジスタ16のウエルを調整する。特に、I/Oパッド14上に存在する電圧レベルが始めに電源VDDを超えたとき、トランジスタ502はトランジスタ16のウエルが増大する電圧レベルを追跡できるようにする。この戦略はトランジスタ16のドレインダイオードが順方向バイアスになることを防止する。逆に、I/Oパッド14上に存在する電圧レベルがVDDまたはVssに戻ったとき、トランジスタ500はウエルを電荷を電源VDDに解放することによりその初期値、VDD、に戻す。

【0037】本発明が特定の実施形態に関して説明されたが、当業者にはさらに他の修正および改善をなすことができる。例えば、開示された発明は特定の組の導電型のトランジスタに関して説明されている。当業者は上の説明によりある状況のもとで導電型を変更して特定のプロセスまたは実施形態に本発明をあつらえることができる。当業者は同じ目的を達成するため他の構造を代用することができる。従って、この発明は添付の特許請求の範囲に記載された本発明の精神および範囲から離れることのないすべてのそのような変更を含むことが理解されるべきである。

【0038】

【発明の効果】以上のように、本発明によれば、前述の従来技術の欠点を改善し、簡単な回路構成で種々の集積回路において的確に動作する静電気放電保護回路を実現することが可能になる。

【図面の簡単な説明】

【図1】本発明に従って構成された入力／出力ドライバ回路の部分的ブロック図および部分的電気回路図形式のブロック回路図である。

【図2】図1に示されるESD回路の電気回路図である。

【図3】図1に示される高電圧ブロックの電気回路図である。

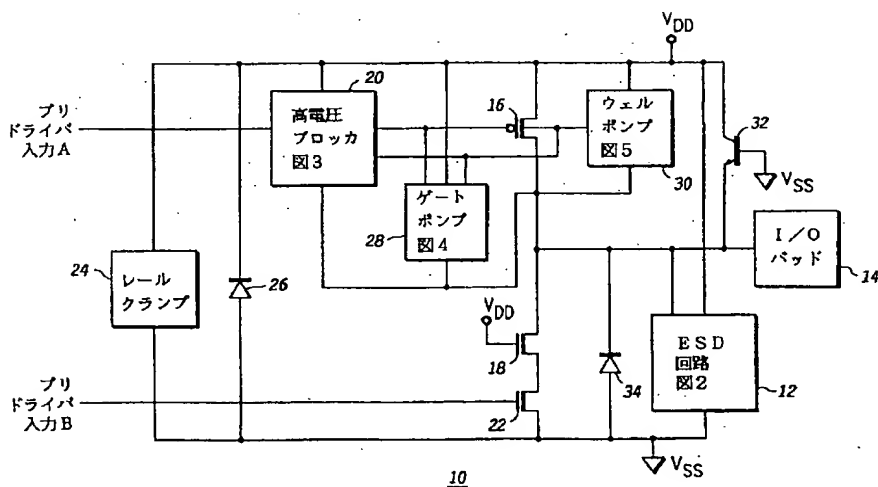
【図4】図1に示されるゲートポンプの電気回路図である。

【図5】図1に示されるウエルポンプの電気回路図である。

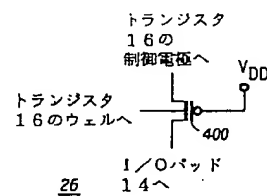
【符号の説明】

- 10 入力／出力（I/O）ドライバ回路
- 12 ESD回路
- 14 入力／出力（I/O）パッド
- 16 p型MOSFETトランジスタ
- 18, 22 n型MOSFETトランジスタ
- 20 高電圧ブロック
- 24 導体クランプ
- 26, 34 ダイオード
- 28 ゲートポンプ
- 30 ウエルポンプ
- 32 npn型バイポーラトランジスタ
- 200 一続きの直列接続されたダイオード
- 202 npn型バイポーラトランジスタ
- 204 p型MOSFETトランジスタ
- 206 ダイオード
- 302, 400, 500, 502 p型MOSFETトランジスタ
- 304 n型MOSFETトランジスタ

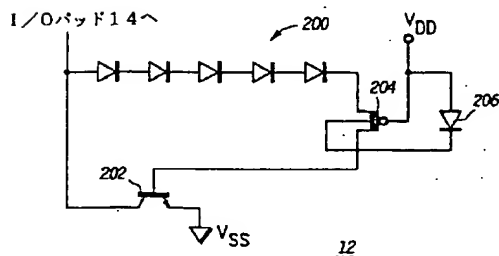
【図1】



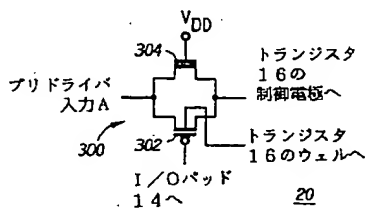
【図4】



【図2】



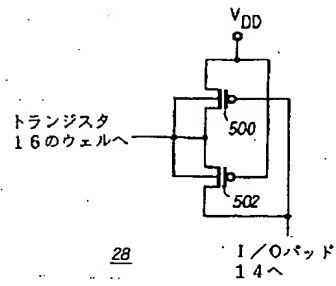
【図3】



(9)

特開平10-242400

【図5】



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶ H01L 27/06 (11) 공개번호 특 1998-071441
(43) 공개일자 1998년 10월 26일

(21) 출원번호 특 1998-004876
(22) 출원일자 1998년 02월 18일
(30) 우선권 주장 8/801,874 1997년 02월 18일 미국(US)
(71) 출원인 모토로라 인코포레이티드 빈센트 비. 인그라시아
미국, 일리노이 60196, 샤움버그, 이스트 앨공킨 로드 1303
(72) 발명자 스미스 제러미 씨.
미국, 텍사스 78739, 오스틴, 오뉴언 할로우 런 11813
(74) 대리인 이병호, 최달용

심사청구 : 없음

(54) 정전기 방전 보호용 회로

요약

정전기 방전(ESD) 회로(12)는 입력/출력 구동기 회로(10)에 대하여 견고한 보호를 제공한다. 방전 경로는 기생 양극성 트랜지스터(202)에 의해 제공된다. 기생 양극성 소자는 MOSFET(204) 및 일련의 다이오드(200) 조합에 의해 트리거된다. MOSFET의 트리거 포인트는 일련의 다이오드들에 있어서 개별 다이오드들의 수를 변화함으로써 프로그램가능하다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따라 구성된 입력/출력 구동기 회로의 부분적 블록 구성도.

도 2는 도 1에 도시된 ESD 회로의 회로도.

도 3은 도 1에 도시된 고전압 차단기의 회로도.

도 4는 도 1에 도시된 게이트 펌프의 회로도.

도 5는 도 1에 도시된 웰 펌프의 회로도.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 입력/출력 구동기 회로 12 : 정전기 방전 회로

14 : 입력/출력 패드 20 : 고전압 차단기

24 : 레일 클램프 28 : 게이트 펌프

30 : 웰 펌프

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자 집적 회로에 관한 것으로, 특히 집적 회로용 정전기 방전 보호 회로에 관한 것이다.

반도체 산업에 있어서, 정전기 방전 보호(electrostatic discharge protection : ESD) 회로의 사용은 금지되어 있다. ESD 회로는 집적 반도체 소자가 일상의 사후-제조 처리 동안에 정전기에 의해 파괴되지 않게 한다. 하지만, 반도체 산업에 있어서 현재 및 예측가능한 추세는 금지된 ESD 회로의 효과와 상반하고 있다.

실례로, 과도핑된 에피택셀(epi) 기판의 사용은 금속 산화물 반도체(MOS) 전계 효과 트랜지스터(FET) 및 과전계 산화물(TF0) 소자가 전류 섀트 소자로 작용하지 않게 한다. 정규 사용에 있어서는, 과도핑된 기판은 바람직하다. 그러한 기판은 래치-업의 바람직하지 않은 발생을 감소시킨다. 래치-업 동안에, 두 상보형 MOSFET에 의해 형성된 두 기생 양극성 트랜지스터는 피드백 루프를 발생한다. 피드백 루프에

있어서, 제 1 기생 양극성 소자의 베이스는 또한 제 2 소자의 컬렉터가 된다. 역으로, 제 2 소자의 베이스는 제 1 소자의 컬렉터가 된다. 이들 양 트랜지스터가 전도될 때, 대량의 전류가 두 전원 공급원 사이에 흐를 수 있다. 고전류가 두 트랜지스터의 단자중 한 단자에 인가되는 경우는 두 기생 트랜지스터를 전도되게 할 수 있다. 과도핑된 에피택셜 기판은 기판을 접지시키므로써 그에 따라, 한 소자의 베이스 및 다른 소자의 컬렉터를 접지시키므로써, 피드백 루프를 중단하도록 작용한다.

시트 저항(ρ)을 감소하도록 살리사이드 결합층을 사용하는 것은 또한 공지된 ESD 회로의 효과를 감소시킨다. 여기에서, 단일 MOSFET을 형성하는 몇몇의 핑거 또는 몇몇의 MOSFET 는 ESD 보호를 제공하도록 기생 양극성 소자로 작용한다. 그러한 ESD 소자는 기생 양극성 트랜지스터의 스냅-백 전류-전압 특성에 의존한다. 거기에서, 특정 컬렉터-이미터 전압 V_{t1} 에서 양극성 트랜지스터를 통해 전류가 흐르기 시작한다. 이후, 컬렉터-이미터 전압은, V_{t1} 로부터 스냅핑-백으로 전류가 증가함에 따라, 감소한다. 뒤에, 추세는 전환되어, 전류가 역시 상승함에 따라 컬렉터-이미터 전압을 상승하게 한다. 결국, 양극성 트랜지스터는 또다른 특정 컬렉터-이미터 전압 V_{t2} 로 떨어진다. 살리사이드 층의 낮은 저항은 최종 브레이크다운 전압 V_{t2} 를 초기 전압 V_{t1} 보다 낮게되도록 할 수 있다. 그러한 관계는 MOSFET의 제 1 핑거 또는 제 1 MOSFET를 제 2 MOSFET 가 턴온되는 전압 보다 낮은 전압에서 브레이크다운되게 한다. 결과적으로, MOSFET 그룹에 의해 제공된 보호는 단일 MOSFET에 의해 제공된 보호 보다 크지 않게 된다.

발명이 이루고자하는 기술적 과제

일부 공지된 ESD 회로는 한 전압 레일에 인가된 초과 에너지를 다른 레일로 선택하도록 집적 회로의 전압 레일 사이의 고유 커패시턴스에 의존한다. 이러한 방법은 보호를 제공하는데 필요한 소자의 전체수를 최소화한다. 하지만, 이러한 방법은 또한 집적 회로의 커패시턴스가 떨어짐에 따라 실패하게 된다. 결과적으로, 특정 집적 회로에 지정된 하나의 ESD 회로는 또다른 회로에는 만족될 수 없다. 더욱이, 반도체 산업에 있어서 우선하는 추세중 하나가 다이들 감소하는 것인데, 특정 집적 회로에 지정된 ESD 회로는, 회로의 기하구조가 감소되거나 축소되면, 동일 회로에 만족될 수 없게 된다.

다른 공지된 ESD 회로는 전력을 선택하는 다이오드 스트링에 의존한다. 하지만 유감스럽게도, 다이오드들은 전류를 누설한다. 더욱이, 각각의 다이오드의 누설은 그 온도로 증가하게 된다. 반도체 산업의 또다른 추세는 가능한 적은 전류를 소비하며 광범위하게 적용하는데 적합한 집적 회로를 설계 및 제조하는 것이다. 이러한 목적들은 주변 관련 상황에 의해 제한되는 누설된 설계에 의해 역으로 영향을 받게 된다.

발명의 구성 및 작용

도 1은 본 발명에 따라 구성된 입력/출력(I/O) 구동기 회로(10)의 부분적 블록도를 도시한다. I/O 구동기 회로(10)는 정전기 방전 효과를 방지하고 전기 과응력(EOS) 발생을 방지하도록 ESD 회로(12)를 포함한다. ESD 회로(12)는 도 2와 관련하여 하기에 더욱 상세히 설명된다.

여기에서, ESD 회로(12)는 초과 에너지를 선택하는 기생 양극성 트랜지스터를 트리거하도록 MOSFET 트랜지스터를 사용하는 것을 유의해야한다. 트리거 전류의 사용은 기생 양극성 트랜지스터가 에너지를 선택하기 시작하는 포인트를 낮춘다. 기생 양극성 트랜지스터의 사용은 실제 양극성 소자의 필요성을 없애준다. 실제 양극성 트랜지스터는 그 제어 전극이 반도체 기판으로부터 분리되며, 그에 따라 직접 제어 가능한 것이 된다. 일반적으로, 양극성 소자를 포함하는 것은 집적 회로의 제조 비용을 상당히 증가시킨다. 기생 양극성 트랜지스터의 제어 전극에 트리거 전류를 직접 적용하는 것은 과도핑된 기판에 의해 야기된 전위를 극복적으로 극복한다. 통상적으로, 기판은 두 전압 공급원중에서 덜한쪽에 접속된다. 트리거 포인트는 다이오드 스트링의 다이오드 수를 증가하거나 감소함으로써 용이하게 프로그램가능하다. 하지만, 대부분의 초과 에너지를 선택하는 것은 다이오드 스트링이 아니라 기생 양극성 소자가 된다. 결과적으로, 개별 다이오드는 전류 누설 및 온도 유도 실행 변화를 최소화하도록 매우 작게 이루어질 수 있다. 또한, ESD 회로(12)는 두 전압 레일 사이의 커패시턴스에 의존하지 않는다. 따라서, ESD 회로(12)는 작은 집적 회로, 큰 집적 회로, 및 디자인 구성 전반에 이용된 표준 셀 라이브러리에 결합될 수 있다. 당기술 분야에 숙련된 사람은 현재와 미래의 집적 회로 처리 흐름에 ESD 회로(12)의 적합성을 인정할 수 있을 것이다.

도 1을 참조하면, 입력/출력(I/O) 패드(14)는 I/O 구동기 회로(10) 결합 집적회로 외부의 또다른 소자에 전송되는 전압 레벨을 발생한다. 본 실시예에 있어서, I/O 구동기 회로(10)는 I/O 패드(14)상에 0 또는 3.3 볼트를 출력한다. 다른 실시예에 있어서, I/O 구동기 회로(10)는 I/O 구동기 회로(10) 결합 집적회로 외부의 다른 소자로부터 전압 레벨을 수신하도록 회로를 포함할 수 있다. 그러한 실시예에 있어서, 전압은 또한 0 또는 3.3 볼트가 될 수 있다. 다른 실시예에 있어서, 최대 수신 전압 레벨은 출력 전압 레벨을 초과할 수 있다. 실제로, I/O 구동기 회로(10)는 0 또는 3.3 볼트 신호를 출력할 수 있지만, 0 또는 5 볼트를 수신할 수 있다.

I/O 패드(14)는 P-타입 MOSFET 트랜지스터(16)의 제 1 전류 전극과 리타입 MOSFET 트랜지스터(18)의 제 1 전류 전극에 접속된다. 트랜지스터(16)의 제 2 전류 전극 및 제어 전극은 제 1 전압 공급원 VDD 및 고전압 차단기(20)의 출력 단자에 각각 접속된다. 고전압 차단기(20)은 네 개의 입력 PREDRIVER IN A, VDD, I/O 패드(14), 및 트랜지스터(16)의 웰을 수신한다. 고전압 차단기(20)은 도 3과 관련하여 하기에 설명된다.

트랜지스터(18)의 제 2 전류 전극 및 제어 전극은 리타입 MOSFET 트랜지스터(22)의 제 1 전류 전극 및 제 1 전압 공급원 VDD에 각각 접속된다. 트랜지스터(22)의 제 2 전류 전극 및 제어 전극은 제 2 전압 공급원 Vss 및 입력 PREDRIVER IN B에 각각 접속된다.

I/O 구동기 회로(10)은 또한 VDD와 Vss 사이에 병렬로 접속된 레일 클램프(24) 및 다이오드(26)를 포함한다. 레일 클램프(24)는 충분한 경우 집적회로 결합 I/O 구동기 회로(10)의 고유 커패시턴스가 될 수 있거나, 또는 ESD 발생 동안에 VDD와 Vss 사이에 방전 경로를 제공하는 활성 회로가 될 수 있다. 다이

오드(26)는 V_{SS} 가 V_{DD} 보다 대략 0.5 볼트 높을 때 전류를 전도시키도록 접속된다. 일반적으로, V_{DD} 는 V_{SS} 보다 3.3 볼트 높다. 게이트 펌프(28)의 네 단자는 V_{DD} , 트랜지스터(16)의 제어 전극, I/O 패드(14), 및 트랜지스터(16)의 웰에 각각 접속된다. 게이트 펌프(28)는 도 4와 관련하여 하기에 설명된다. 웰 펌프(30)의 세 단자는 V_{DD} , 트랜지스터(16)의 웰, 및 I/O 패드(14)에 각각 접속된다. 웰 펌프(30)는 도 5와 관련하여 하기에 설명된다. npn 양극성 트랜지스터(32)의 제 1 전류 전극, 제 2 전류 전극, 및 제어 전극은 V_{DD} , I/O 패드(14), 및 V_{SS} 에 각각 접속된다. 다이오드(34)의 제 1 단자 및 제 2 단자는 I/O 패드(14) 및 V_{SS} 에 각각 접속된다. 다이오드(34)는 V_{SS} 가 I/O 패드(14)상에 존재하는 전압 보다 대략 0.5 볼트 높을 때 전류를 전도시키도록 접속된다. 일반적으로, I/O 패드(14)상에 존재하는 전압 레벨은 V_{SS} 보다 크거나 동일하다.

I/O 구동기 회로(10)의 동작은 두 동작 모드, (1) 정규 I/O 동작, 및 (2) 정전기 방전 보호, 와 관련하여 적절히 기술될 수 있다. 정전기 방전 보호 기능은 또한 인체 모델을 시험하는데 이용되는 네 방법, (1) V_{DD} 와 관련한 포지티브 입력 전압, (2) V_{SS} 와 관련한 포지티브 입력 전압, (3) V_{DD} 와 관련한 네가티브 입력 전압, (4) V_{SS} 와 관련한 네가티브 입력 전압, 의 네 경우로 분할될 수 있다.

정규 동작

정규 동작에 있어서, I/O 구동기 회로(10)는 출력 만의 또는 입력 만의 구동기로서 이용된다. 제어 신호 $PREDRIVER\ IN\ A$ 및 $PREDRIVER\ IN\ B$ 의 논리 상태에 의해 특정 기능이 선택된다. I/O 구동기 회로(10)가 입력 만의 버퍼로서 이용된다면, (다른 곳에서 발생된) 출력될 신호는 트랜지스터(16)의 제어 전극 및 트랜지스터(22)의 제어 전극에 공급된다. 출력될 신호는 고전압 차단기(20)를 통하여 트랜지스터(16)의 제어 전극에 공급된다. 이와 같이, $PREDRIVER\ IN\ A$ 및 $PREDRIVER\ IN\ B$ 모두는 원하는 출력 신호의 전위에 있게 된다. 트랜지스터가 인에이블됨에 따라서, 전압 공급원 V_{DD} 및 전압 공급원 V_{SS} 는 I/O 패드(14)에 접속된다. I/O 구동기 회로(10)가 입력 만의 버퍼로서 이용된다면, $PREDRIVER\ IN\ A$ 는 V_{DD} 로 설정되고, $PREDRIVER\ IN\ B$ 는 V_{SS} 로 설정된다. 이들 전압 레벨은 I/O 패드(14)를 높은 임피던스 상태로 둔다. 이러한 경우에, I/O 구동기 회로(10) 외부에 발생된 전압이 I/O 패드(14)에 공급되어, 회로(도시되지 않음)에 의해 버퍼된다.

상술된 바와 같이, I/O 구동기 회로(10)는 5 볼트 허용차를 갖는다. 5 볼트 신호가 I/O 패드(14)에 공급된다면, 데이터는 발생하지 않는다. 제어 전극 및 트랜지스터(16)의 웰 모두는 게이트 펌프(28) 및 웰 펌프(30) 각각에 의해 보다 높은 입력 전압 레벨로 바이어스된다. 이러한 바이어스는 전압 공급원 V_{DD} 보다 큰 전압이 I/O 패드(14)에 공급될 때, 트랜지스터(16)가 전류를 전도하지 않게 한다. 또한, 고전압 차단기(20)는 트랜지스터(16)의 제어 전극에 공급된 바이어스 전압이 내부 회로(도시되지 않음)에 공급되지 않게 한다.

ESD 경우

V_{DD} 와 관련한 포지티브 전압 입력

이 경우에 있어서, 큰 포지티브 전압 레벨이 전압 공급원 V_{DD} 와 관련하여 I/O 패드(14)에 공급된다. 큰 포지티브 입력 전압은 ESD 회로(12)로 하여금 I/O 패드(14)로부터의 에너지를 V_{SS} 로 선티하게 하며, 이러한 시나리오를 취한다. 전압 공급원 V_{SS} 상의 전압은 순방향 바이어스 다이오드(26)를 상승시키기 시작한다. ESD 회로(12), 전압 공급원 V_{SS} , 및 다이오드(26)는 그에 따라 I/O 패드(14)로부터 전압 공급원 V_{DD} 로의 방전 경로를 형성한다.

V_{SS} 와 관련한 포지티브 전압 입력

본 경우에 있어서, 큰 포지티브 전압 레벨은 전압 공급원 V_{SS} 와 관련하여 I/O 패드(14)로 인가된다. 다시, 큰 포지티브 입력 전압은 ESD 회로(12)로 하여금 I/O 패드(14)로부터의 에너지를 V_{SS} 로 선티하게 한다. ESD 회로(12)는 그에 따라 I/O 패드(14)로부터 전압 공급원 V_{SS} 로의 방전 경로를 형성한다.

V_{DD} 와 관련한 네가티브 입력 전압

여기에서, 큰 네가티브 전압 레벨은 전압 레벨 V_{DD} 와 관련하여 I/O 패드(14)로 공급된다. 이러한 큰 네가티브 전압은 다이오드(34)를 순방향으로 바이어스하고 레일 클램프(24)를 전압 공급원 V_{SS} 와 전압 공급원 V_{DD} 에 결합되게 한다. 다이오드(34)와 레일 클램프(24)는 전압 공급원 V_{DD} 로부터 I/O 패드(14)로의 방전 경로를 형성한다. 다시, 레일 클램프(24)는 집적 회로 결합 I/O 구동기 회로(10)의 고유 커패시턴스가 될 수 있거나, 또는 활성 클램프 회로가 될 수 있다. 또한, 트랜지스터(32)를 경유한 전압 공급원 V_{DD} 로부터 I/O 패드(14)로의 2차 선티 경로가 있게 된다. 이러한 2차 경로의 경우에 있어서, 고유 커패시턴스(또는 레일 클램프(24))는 V_{DD} 를 V_{SS} 에, 궁극적으로는 트랜지스터(32)의 제어 전극에 결합한다. 트랜지스터(32)는 순방향 바이어스되어, 트랜지스터(32)를 통해 전압 공급원 V_{DD} 로부터 I/O 패드(14)로 전류가 흐르게 한다.

V_{SS} 와 관련한 네가티브 전압 입력

본 경우에 있어서, 큰 네가티브 전압은 전압 공급원 V_{SS} 와 관련하여 I/O 패드(14)에 공급된다. 여기에서, 다이오드(34)는 순방향 바이어스되어, 전압 공급원 V_{SS} 로부터의 에너지를 I/O 패드(14)로 선티한다. 또한, 트랜지스터(32)를 경유하여 전압 공급원 V_{SS} 로부터 I/O 패드(14)로의 2차 선티 경로가 있게 된다. 이러한 2차 경로 경우에 있어서, 트랜지스터(32)의 제어 전극과 제 2 전류 전극 접합은 순방향 바이어스되어, 전압 공급원 V_{SS} 로부터 I/O 패드(14)로의 직류 경로를 형성시킨다. 도 1에 도시된 바와 같이, 전압 공급원 V_{SS} 는 트랜지스터(32)의 제어 전극에 접속된다.

도 2는 도 1에 도시된 ESD 회로(12)의 회로도도 도시한다. 일련의 직렬로 접속된 다이오드(200)의 제 1 단자 및 기생 npn 양극성 트랜지스터(202)의 제 1 전류 전극 각각은 I/O 패드(14)에 접속된다. 일련의 다이오드(200)의 제 2 전극은 P-형 MOSFET 트랜지스터(204)의 제 1 전류 전극에 접속된다. 도시된 실시예에 있어서, 일련의 다이오드(200)는 다섯 개의 다이오드를 포함한다. 트랜지스터(202)의 제 2 전류 전극 및 제어 전극은 전압 공급원 V_{SS} 및 트랜지스터(204)의 제 2 전류 전극에 각각 접속된다. 트랜지

스터(204)의 제어 전극은 다이오드(206)의 제 1 단자 및 전압 공급원 VDD 에 접속된다. 다이오드(206)의 제 2 단자는 트랜지스터(204)의 웰에 접속된다.

일련의 다이오드(200)의 개별 다이오드들은 I/O 패드(14)상에 존재하는 전압 레벨이 드레인에 대략 (5*0.5) 볼트를 더한 값을 초과할 때 전류를 전도시키도록 접속된다. TF0 소자는 서로에 인접하여, 반대 전도 형태의 반도체 몸체에 배치된, 유사한 전도 형태의 두 확산 영역으로 구성된다. 일반적으로, 두 n형 영역은 p형 기판에 배치된다. 두꺼운 산화물층이 동일하거나 반대의 확산 또는 주입 영역들 사이의 기판의 상부상에 형성된다.

절연체 실리콘(SOI)은 반도체가 실리콘 산화물, 사파이어, 다이아몬드 등과 같은 절연 기판상에 제조되는 새로운 기술이다. 본 발명은 유사한 이점을 갖는 그러한 기술에 구현될 수 있다. 그러한 기술에 있어서, 트리거 전류를 공급하는 접촉은 트랜지스터(202)의 몸체에 측면으로 형성될 수 있다.

ESD 회로(12)의 동작은 다음의 두 개의 가능한 경우와 관련하여 적절하게 기술될 수 있다: (1) 정전기 방전(ESD)의 경우, (2) 전기 오버스트레스(EOS)의 경우. 일반적으로, ESD 경우는 EOS 경우 보다 적으며, 통상 집적 회로가 전원 공급되지 않을 때 발생한다.

ESD 경우

도 1 과 관련하여 기술된 바와 같이, ESD 회로(12)는 두 경우, (1) OODS 와 관련한 포지티브 입력 전압, 및 (2) Vss 와 관련한 포지티브 입력 전압,에서 ESD 보호를 제공한다. 첫 번째 경우에, 트랜지스터(204)는 I/O 패드(14)의 전압이 트랜지스터(204)의 임계 전압 레벨에 대략 (5*0.5) 볼트를 더한 값을 초과할 때 트랜지스터(202)에 트리거 전류를 공급하기 시작한다. 잠시후, 트랜지스터(202)는 I/O 패드(14)로부터의 전류를 전압 공급원 Vss로 선티한다. 다이오드(206)(도 1)는 전압 공급원 VDD로의 회로 경로를 완성한다. 제 2 경우에 있어서, 트랜지스터(204)는 또한 I/O 패드(14)의 전압이 트랜지스터(204)의 임계 전압 레벨에 대략 (5*0.5) 볼트를 더한 값을 초과할 때 트랜지스터(202)에 트리거 전류를 공급하기 시작한다. 잠시후, 트랜지스터(202)는 I/O 패드(14)로부터의 전류를 전압 공급원 Vss로 직접 선티한다.

EOS 경우

EOS 경우 동안의 ESD 회로(12)의 동작은 ESD 경우에서의 그 동작과 유사하다. 여기에서, 트랜지스터(204)는 I/O 패드(14)의 전압이 트랜지스터(204)의 제어 전극 전압(VDD)에 트랜지스터(204)의 임계 전압 레벨을 더하고 여기에 대략 (5*0.5) 볼트를 더한 값을 초과할 때 트랜지스터(202)에 트리거 전류를 공급하기 시작한다.

일련의 다이오드들(200)의 개별 다이오드 수는 VDD 의 최소 허용가능한 전압 공급 레벨과 각 다이오드 양단의 전압 강하에 의해 분할되는 I/O 패드(14)상의 최소 허용가능한 특정 입력 전압 사이의 차에 의해 결정된다. 일반적으로, 이들 값들은 VDD 및 입력 전압 각각의 공칭값 보다 10% 작거나 10% 크다. 기술된 실시예에 있어서, VDD 는 3.3 볼트이고, 최대 허용가능한 입력 전압은 5.0 볼트이다. 따라서, 다섯 다이오드 (5.5-3.0)/(0.5)가 선택되었다.

ESD 회로(12)의 제 2 실시예에 있어서, 다이오드(206)는 생략되었다. 본 경우에 있어서, 트랜지스터(204)는 기생 수직 및 기생 측면 pnp-형 양극성 트랜지스터의 특성을 갖는다. 이들 특성은 트랜지스터(204)가 트랜지스터(202)에 물리적으로 아주 밀접하게 있다면 트랜지스터(202)의 국부 기판 전위를 상승시키는 베이스 전류를 발생한다. 이러한 부가적 베이스 전류는 또한 트랜지스터(202)를 트리거한다. 다른 실시예에 있어서, 다이오드(206)는 저항기 또는 직접 전기 접속으로 교체될 수 있다.

적절한 실시예에 있어서, 트랜지스터(202)는 두 개의 리타입 웰을 P-형 기판에 위치시킴으로써 제조될 수 있다. 두 리타입 웰은 제 1 및 제 2 전류 전극을 형성한다. P-형 접촉은 두 리타입 웰 사이에 위치된다. P-형 기판에 대한 P-형 접촉은 제어 전극을 형성한다. 이러한 기본적인 디자인은 집적 회로상에 공간을 불필요하게 소비시키지 않고서 트랜지스터(202)의 전체폭을 증가시키지도록 타일될 수 있다. 또한, p-형 기판을 전압 공급원 VSS에 추가적으로 접속하는 것이 일반적이다. 이러한 접속은 트랜지스터(202)에 인접하게 위치되지 않아야 한다. 그렇지 않으면, 트리거 전류에 의해 제공되는 기판 리프팅 효과가 줄어든다.

도 3은 도 1에 도시된 고전압 차단기(20)의 회로도이다. 고전압 차단기(20)는 p-형 MOSFET 트랜지스터(302) 및 n-형 MOSFET 트랜지스터(304)로 그 자신이 구성된 전송 게이트(300)를 구비한다. 트랜지스터(302)의 제어 전극은 I/O 패드(14)에 접속된다. 트랜지스터(304)의 제어 전극은 전압 공급원 VDD에 접속된다. 트랜지스터(302 및 304)의 제 1 전류 전극은 신호 PREDRIVER IN A를 수신한다. 트랜지스터(302 및 304)의 제 2 전류 전극은 트랜지스터(16)의 제어 전극에 접속된다. 트랜지스터(302)의 몸체는 또한 트랜지스터(16)의 웰에 접속된다.

동작시, 전송 게이트(300)의 n-형 소자는 I/O 패드(14)로부터 내부 회로(도시되지 않음)로 통과되는 전압을 (3.3-V_{in})으로 제한하며, 여기에서 V_{in} 은 트랜지스터(304)의 임계 전압이다. 트랜지스터(304)는 VDD와 동일한 제어 신호를 (강제없이) 트랜지스터(16)의 제어 전극으로 통과시킨다.

도 4는 도 1에 도시된 게이트 펌프(28)의 회로도이다. 게이트 펌프(28)는 p-형 MOSFET 트랜지스터(400)를 구비한다. 트랜지스터(400)의 제 1 전류 전극, 제 2 전류 전극, 및 제어 전극은 트랜지스터(16)의 제어 전극, I/O 패드(14), 및 전압 공급원 VDD 각각에 접속된다. 트랜지스터(400)의 몸체는 또한 트랜지스터(16)의 웰에 접속된다.

도 5는 도 1에 도시된 웰 펌프(30)의 회로도이다. 웰 펌프(30)는 두 개의 p-형 MOSFET(500 및 502)를 구비한다. 트랜지스터(500)의 제 1 전류 전극, 제 2 전류 전극, 및 제어 전극은 전압 공급원 VDD, 트랜지스터(16)의 웰, 및 I/O 패드(14) 각각에 접속된다. 트랜지스터(502)의 제 1 전류 전극, 제 2 전류 전극, 및 제어 전극은 트랜지스터(16)의 웰, I/O 패드(14), 및 전압 공급원 OODS 각각에 접속된다. 트랜지스터(500 및 502)의 몸체는 또한 트랜지스터(16)의 웰에 접속된다.

동작시, 트랜지스터(500 및 502)는 I/O 패드(14)상에 존재하는 전압 레벨이 전압 공급원 VDD를 초과할 때 트랜지스터(16)의 웰을 조절한다. 특히, I/O 패드(14)상에 존재하는 전압 레벨이 초기에 전압 공급원 VDD를 초과할 때, 트랜지스터(502)는 트랜지스터(16)의 웰을 증가된 전압 레벨에 따라가게 한다. 이러한 방법은 트랜지스터(16)의 드레인 다이오드를 순방향 바이어스하지 않게 한다. 반대로, I/O 패드(14)상에 존재하는 전압 레벨이 VDD 또는 V_{SSX} 로 전환될 때, 트랜지스터(500)는 전하를 방출함으로써 웰을 그 초기값 VDD로 복원한다.

발명의 효과

본 발명이 특성 실시예와 관련하여 실시되었지만, 당 기술 분야에 숙련된 사람은 그 변경 및 개선을 가능하게 할 수 있을 것이다. 실례로, 공개된 본 발명은 특정의 트랜지스터 전도 형태와 관련하여 기술되었다. 상술된 바로부터 당 기술 분야에 숙련된 사람은 본 발명을 특정 처리 또는 실시예에 맞추도록 특정 환경하에서 전도성 형태를 변경할 수 있다. 당 기술 분야에 숙련된 사람은 동일한 목적을 달성하기 위하여 다른 구조로 대체할 수 있다. 따라서, 본 발명은 첨부된 청구범위에 규정된 바와 같은 본 발명의 정신과 범위를 벗어나지 않는 모든 가능한 변경을 포함한다.

(57) 청구의 범위

청구항 1

정전기 방전 보호용 회로에 있어서:

입력 단자(14);

다이오드 스트링(200)으로서, 입력 단자에 접속되는 제 1 단자와 제 2 단자를 구비하는 적어도 하나의 다이오드를 구비하는, 상기 다이오드 스트링(200);

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 트랜지스터로서, 그 제 1 전류 전극은 다이오드 스트링의 제 2 단자에 접속되고, 그 제어 전극은 제 1 전압 공급원을 수신하는, 상기 트랜지스터; 및

기생 양극성 소자(202)를 구비하며;

상기 기생 양극성 소자는 반대의 전도성 형태의 몸체에 위치한 유사 전도성 형태의 제 1 확산 영역 및 제 2 확산 영역을 구비하며,

제 1 확산 영역은 입력 단자에 접속되고,

제 2 확산 영역은 제 2 전압 공급원을 수신하며,

상기 몸체는 트랜지스터의 제 2 전류 전극에 접속되는 것을 특징으로 하는 정전기 방전 보호용 회로.

청구항 2

정전기 방전 보호용 회로에 있어서:

입력 단자(14);

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 트랜지스터(204)로서, 그 제 1 전류 전극은 입력 단자에 접속되고, 그 제어 전극은 제 1 전압 공급원을 수신하는, 상기 트랜지스터(204); 및

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 기생 양극성 소자(202)를 구비하며;

제 1 전류 전극은 입력 단자에 접속되고, 제 2 전류 전극은 제 2 전압 공급원을 수신하는 것을 특징으로 하는 정전기 방전 보호용 회로.

청구항 3

출력 구동기 회로에 있어서:

출력 단자(14);

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 제 1 출력 트랜지스터(16)로서, 그 제 1 전류 전극은 제 1 전압 공급원을 수신하고, 그 제 2 전류 전극은 출력 단자에 접속되는, 상기 제 1 출력 트랜지스터(16);

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 제 2 출력 트랜지스터(22)로서, 그 제 1 전류 전극은 제 2 전압 공급원을 수신하고, 그 제어 전극은 제 1 입력 신호를 수신하는, 상기 제 2 출력 트랜지스터(22);

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 전압 감소 트랜지스터(18)로서, 그 제 1 전류 전극은 제 2 출력 트랜지스터의 제 2 전류 전극에 접속되고, 제 2 전류 전극은 출력 단자에 접속되며, 그 제어 전극은 제 1 전압 공급원을 수신하는, 상기 전압 감소 트랜지스터(18);

제 1 출력 트랜지스터의 몸체에 접속되어, 출력 단자상의 전위에 응답하여 제 1 출력 트랜지스터의 몸체의 전위를 조절하는, 웰 펌프(30);

제 1 출력 트랜지스터의 제어 전극에 접속되어, 출력 단자상의 전위에 응답하여 제 1 출력 트랜지스터의 제어 전극의 전위를 조절하는, 게이트 펌프(28);

제 1 단자 및 제 2 단자를 구비하는 고전압 차단기(20)로서, 제 1 단자는 제 1 출력 트랜지스터의 제어

전극에 접속되고, 그 제 2 단자는 제 2 입력 신호를 수신하며, 그 제 1 단자로부터 그 제 2 단자로 전송된 전위를 소정의 값으로 제한하는, 상기 고전압 차단기(20);

제 1 단자 및 제 2 단자를 구비하는 레일 펌프(24)로서, 제 1 단자는 제 1 전압 공급원을 수신하고, 제 2 단자는 제 2 전압 공급원을 수신하며, 정전기 방전(ESD) 단계 동안에 제 1 전압 공급원 및 제 2 전압 공급원 사이에 방전 경로를 허용하는, 상기 레일 펌프(24);

제 1 단자 및 제 2 단자를 구비하는 제 1 다이오드(26)로서, 제 1 단자는 제 1 전압 공급원을 수신하고, 제 2 단자는 제 2 전압 공급원을 수신하는, 상기 제 1 다이오드(26);

제 1 단자 및 제 2 단자를 구비하는 제 2 다이오드(34)로서, 제 1 단자는 출력 단자에 접속되고, 제 2 단자는 제 2 전압 공급원을 수신하는, 상기 제 2 다이오드(34); 및

ESD 회로를 구비하며;

상기 ESD 회로는:

다이오드 스트링(200)으로서, 출력 단자에 접속되는 제 1 단자와 제 2 단자를 구비하는 적어도 하나의 다이오드를 구비하는, 상기 다이오드 스트링(200);

제 1 전류 전극, 제 2 전류 전극, 및 제어 전극을 구비하는 ESD 트랜지스터로서, 그 제 1 전류 전극은 다이오드 스트링의 제 2 단자에 접속되고, 그 제어 전극은 제 1 전압 공급원을 수신하는, 상기 ESD 트랜지스터; 및

기생 양극성 소자(202)를 구비하며;

상기 기생 양극성 소자는 반대의 전도성 형태의 몸체에 위치한 유사 전도성 형태의 제 1 확산 영역 및 제 2 확산 영역을 구비하며,

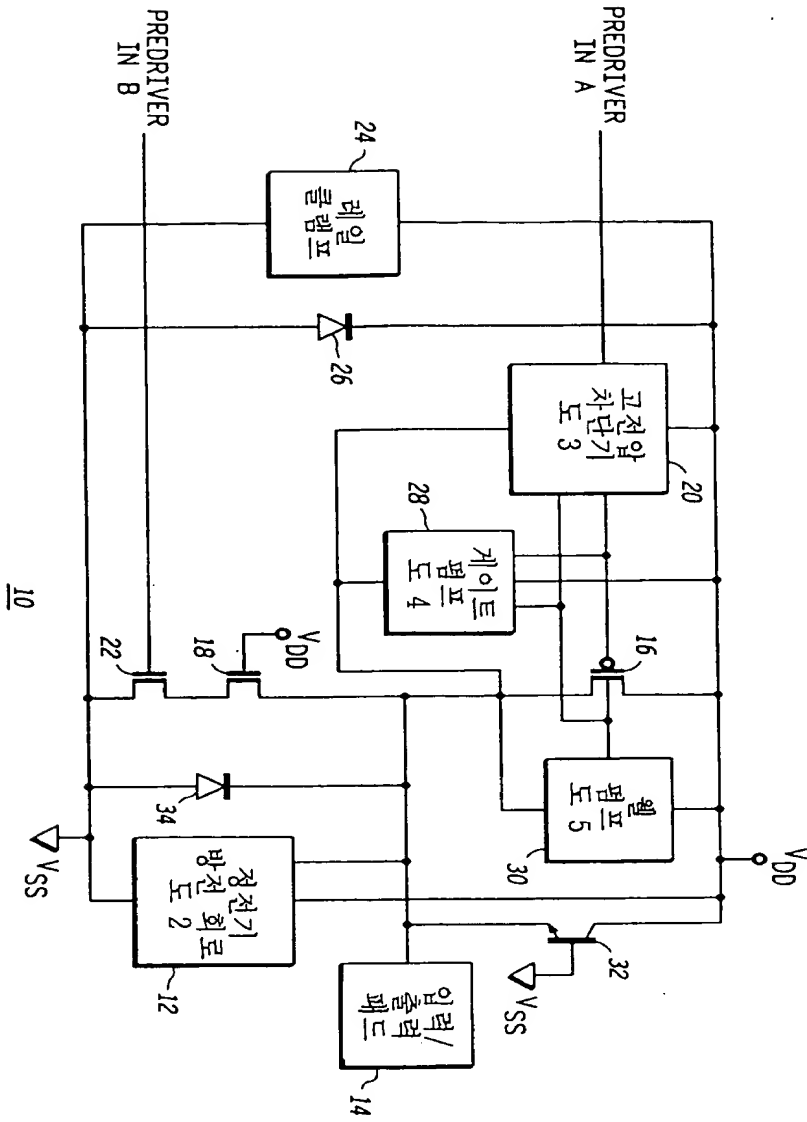
제 1 확산 영역은 출력 단자에 접속되고,

제 2 확산 영역은 제 2 전압 공급원을 수신하며,

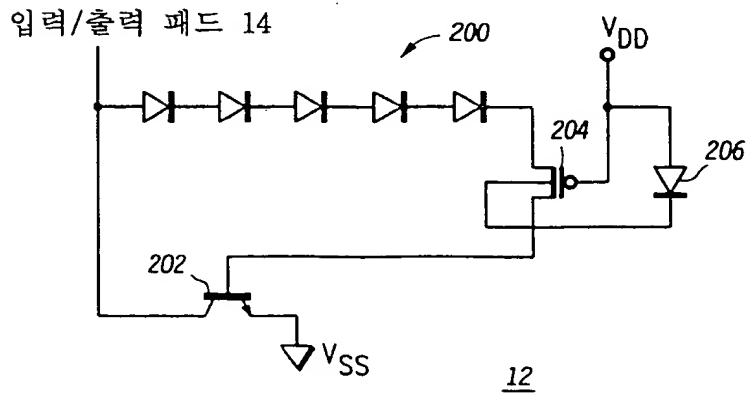
상기 몸체는 ESD 트랜지스터의 제 2 전류 전극에 접속되는 것을 특징으로 하는 출력 구동기 회로.

도면

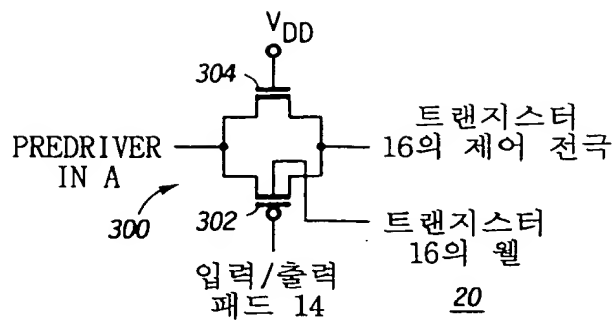
도면1



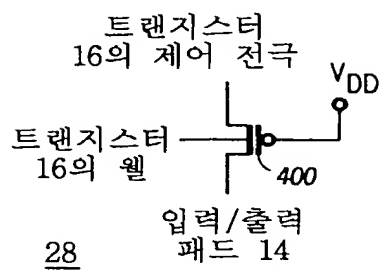
도면2



도면3



도면4



도면5

